

DialogWeb™

1/9/1

9167307

Basic Patent (No,Kind,Date): JP 2058261 A2 900227

PATENT FAMILY:

JAPAN (JP)

Patent (No,Kind,Date): JP 2058261 A2 900227

· MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): NAKAJIMA NOBUYUKI

· Priority (No,Kind,Date): JP 88209032 A 880823

Applic (No,Kind,Date): JP 88209032 A 880823

IPC: * H01L-027/088

Derwent WPI Acc No: ; C 90-105237

JAPIO Reference No: ; 140225E000093

Language of Document: Japanese

Inpadoc/Fam.& Legal Stat (Dialog® File 345): (c) 2003 EPO. All rights reserved.

©1997-2003 The Dialog Corporation - Version 2.3

⑫ 公開特許公報(A) 平2-58261

⑤ Int. Cl.³

識別記号

庁内整理番号

④ 公開 平成2年(1990)2月27日

H 01 L 27/088

7735-5F H 01 L 27/08

1 0 2 C

審査請求 未請求 請求項の数 1 (全3頁)

⑥ 発明の名称 MOS型半導体装置の製造方法

⑦ 特 願 昭63-209032

⑧ 出 願 昭63(1988)8月23日

⑨ 発 明 者 中 島 信 之 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑩ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑪ 代 理 人 弁理士 上柳 雅 菅 外1名

明 細 書

1. 発明の名称

MOS型半導体装置の製造方法

2. 特許請求の範囲

それぞれちがったスレッショルド電圧をもつ4種類のトランジスタを形成するために、

(a) 第1トランジスタと第4トランジスタ部分をレジスト塗布し、第2トランジスタと第3トランジスタ部分にN型のイオン種のイオン打込みを行うことと、

(b) 第1トランジスタと第2トランジスタ部分をレジスト塗布し、第3トランジスタと第4トランジスタ部分に、P型のイオン種のイオン打込みを行うことによって各トランジスタのスレッショルド電圧を調節することを特徴とするMOS型半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、MOS型半導体装置の製造方法において、それぞれちがったスレッショルド電圧をもつ4種類のトランジスタ(第1トランジスタ〜第4トランジスタ)を形成することに関するものである。

〔従来の技術〕

従来のMOS型半導体装置の製造方法を第2図に示す。MOS構造のトランジスタにおいてスレッショルド電圧のちがう4種のトランジスタを形成するために従来は、各トランジスタに応じたフォトリソ工程用マスクを使用し、レジスト塗布、パターン焼き付け、現像を経て、イオン打込部分のレジストをぬき、イオン打込を行っていた。第2図を用いて、説明する。各トランジスタのスレッショルド電圧の調整は、L₀₀₀S酸化部分21を形成し、各トランジスタ部分に、二酸化ケイ素膜28を形成してから行う。

まず、第3トランジスタ形成のためにレジストの塗布・焼きつけを行い、他のトランジスタ部分をレジストでおおい、ボロン(B^+)のイオン打込を行い(23)、第3トランジスタのスレッシュ・ールド電圧を調節する。次に、第2トランジスタの形成のために、他のトランジスタ部分をレジストでおおい、ヒ素(As^+)のイオン打込を行い(24)、第2トランジスタのスレッシュ・ールド電圧を調節する。次に、ポリシリコンでゲート電極部27を形成した後、スレッシュ・ールド電圧を特に高く設定した第4トランジスタの形成のため、ボロン(B^+)の高濃度イオン打込を行う。なお第1トランジスタは、シリコン基板そのものを使うため、イオン打込は行わない。以後、ソース・ドレイン部の形成を経て、トランジスタ部分が完成する。

[発明が解決しようとする課題]

しかし、上記の従来の製造方法では、第1～第4のトランジスタのスレッシュ・ールド電圧調節のた

(b) 第1と第2トランジスタ部分をレジスト塗布し、第3と第4トランジスタ部分に、 N 型イオン種のイオン打込(B^+)を行うことにより、スレッシュ・ールド電圧の調節を行うことを特徴とする。

[実施例]

本発明の半導体装置の製造方法を第1図に示す。まず、1000℃ $Wet\ O_2$ 雰囲気中で、シリコン基板を部分的に酸化し、素子分離領域11を形成する。ただし、素子分離領域11のみ酸化前にボロンをイオン打込し、(70 KeV 1.0 $\times 10^{13}$) ストップ・ア・レイヤーをもうける。ここでスレッシュ・ールド電圧のちがう4種類のトランジスタ部分が形成され、各トランジスタのスレッシュ・ールド電圧の調整が可能な状態である。ここで、4種のトランジスタのスレッシュ・ールド電圧は次のような範囲で合わせこむ。(第1トランジスタ-0.5 V, 第2トランジスタ-4 V -1 V, 第3トランジスタ1.5 V, 第4トランジスタ8 V) まず、第1ト

めに、3種類のフォトリソ工程と3種類のイオン打込工程を必要とし、スループットの低下をまねき、かつ、複雑なマスク構成のため、マスク作成時のミスが発生する恐れがあった。そこで本発明は、フォトリソ工程を二つに減らし、イオン打込を行わない第1トランジスタを除く第2～第4のトランジスタのスレッシュ・ールド電圧を二回のイオン打込工程で調節することにより、スループットの低下及びマスク作成時のミスの低減をはかることを目的とする。

[課題を解決するための手段]

本発明のMOS型半導体装置の製造方法は、 N MOS構造の半導体装置においてスレッシュ・ールド電圧のちがう4種類のトランジスタを形成するために、

(a) 第1と第4トランジスタ部分をレジスト塗布し、第2と第3トランジスタ部分に、 N 型のイオン種のイオン打込を行うことにより、スレッシュ・ールド電圧の調整を行うことと、

ランジスタと第4トランジスタの領域にレジスト12を塗布し、第2トランジスタと第3トランジスタのみにヒ素イオン(As^+)14を打込む。打込エネルギー、ドーズ量は100 KeV, 5.0 $\times 10^{12} cm^{-2}$ である。(第2図(a))

次に、第1トランジスタと第2トランジスタの領域にレジスト12を塗布し、第3トランジスタと第4トランジスタにボロニオン(B^+)15を打込む。打込エネルギー、ドーズ量は、120 KeV 7.0 $\times 10^{13}$ である。(第2図(b))

従来の方法と比較すれば、第1トランジスタと第2、第4トランジスタについては同じであるが、第3トランジスタについては、ヒ素イオン(As^+)打込み14とボロニオン(B^+)打込み15でスレッシュ・ールド電圧をあわせることになる。スレッシュ・ールド電圧調整後、ポリシリコンを0 V D法で4000 Åデポさせ、フォトリソエッチング工程を経てゲート電極部17を形成する。その後、電極部のポリシリコンを900℃ Dry O_2 雰囲気中で酸化し、200 Åの酸化膜19を形成し、

次にリン(P^+)のイオン打込でソース、ドレイン部16を形成し、トランジスタが形成される。

〔発明の効果〕

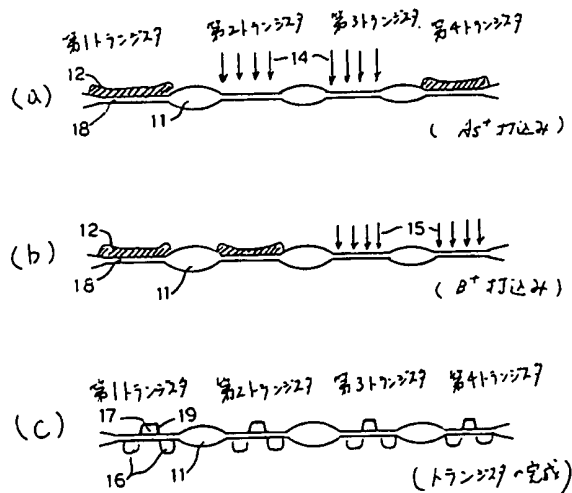
以上述べた本発明によれば、フォトリソ、イオン打込工程を従来の方法に比べて減らすことができ、プロセスを短縮できるため、スループットの向上につながる。また、マスク作成に関して、作成時のミスの減少にもつながる。

4. 図面の簡単な説明

第1図(a)~(c)は、本発明のMOS型半導体装置の製造方法を示す工程断面図。

第2図(a)~(d)は、従来のMOS型半導体装置の製造方法を示す工程断面図。

- 11, 21 ... L O O S 酸化膜
- 12, 22 ... レジスト
- 23 ... イオン打込(B^+)
- 14, 24 ... イオン打込(As^+)
- 15, 25 ... 高濃度イオン打込(B^+)



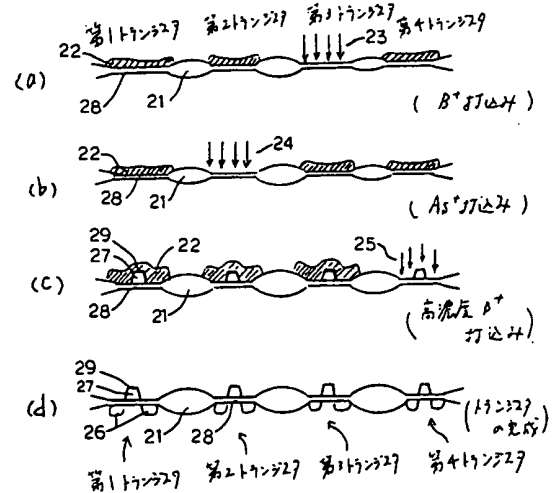
第1図

- 16, 26 ... ソース・ドレイン部
- 17, 27 ... ポリシリコンゲート
- 18, 28 ... 二酸化ゲイ素膜
- 19, 29 ... ポリ上ライト酸化膜

以上

出願人 セイコーエプソン株式会社

代理人 弁理士 上柳雅幸(他1名)



第2図



1/19/1 DIALOG(R)File 347:JAPIO (c) 2003 JPO & JAPIO. All rts. reserv.

03082761 **Image available**

MANUFACTURE OF MOS TYPE SEMICONDUCTOR DEVICE

Pub. No.: 02-058261 [JP 2058261 A]

Published: February 27, 1990 (19900227)

Inventor: NAKAJIMA NOBUYUKI

Applicant: SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

Application No.: 63-209032 [JP 88209032]

Filed: August 23, 1988 (19880823)

International Class: [5] H01L-027/088

JAPIO Class: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO Keyword: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

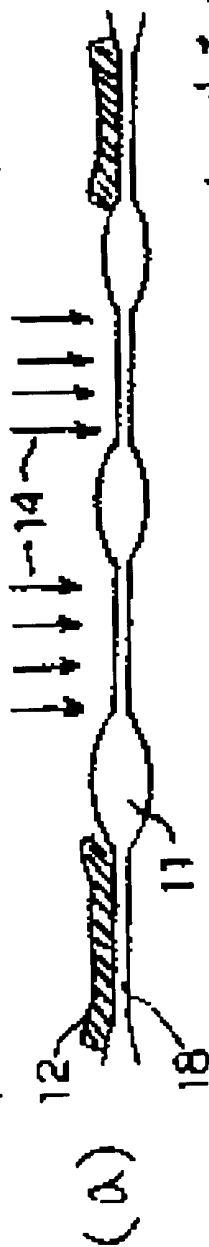
Journal: Section: E, Section No. 927, Vol. 14, No. 225, Pg. 93, May 14, 1990 (19900514)

ABSTRACT

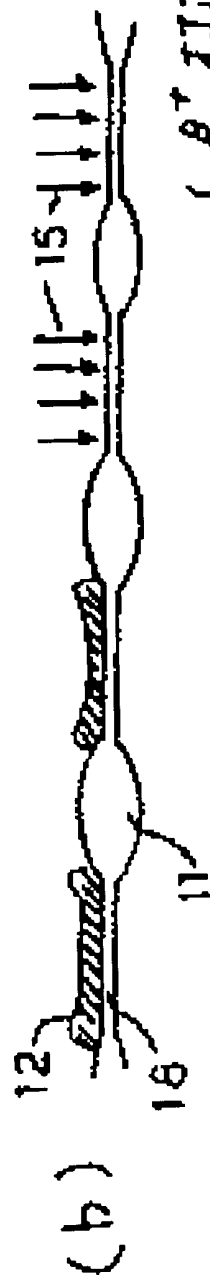
PURPOSE: To reduce the number of photo processes, prevent the decrease of throughput, and reduce the failure of mask formation by a method wherein threshold voltages are adjusted, by implanting N-type ion species in a second and a third transistor parts, and implanting P-type ion species in the third and a fourth transistor parts.

CONSTITUTION: In the case where four kinds of transistor having mutually different threshold voltages are formed, resist 12 is spread on a first transistor part and a fourth transistor part, and N-type ion species 14 are implanted in a second transistor part and a third transistor part. Next, resist 12 is spread on the first transistor part and the second transistor part, and P-type ion species 15 are implanted in the third transistor part and the fourth transistor part. Thereby, the threshold voltage of each transistor is adjusted. After that, a gate electrode part 17 is formed by depositing, e.g., polysilicon, and an oxide film 19 of 200 angstroms thick is formed by oxidation at 900 deg.C in an O (sub 2) atmosphere. Finally, a source/drain part 16 is formed by ion implantation of phosphorus, and a transistor is completed.

第1トランジスタ 第2トランジスタ 第3トランジスタ 第4トランジスタ

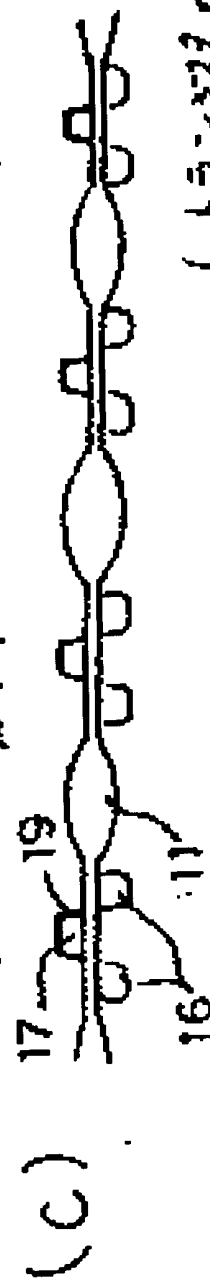


(第5トランジスタ)



(第6トランジスタ)

第1トランジスタ 第2トランジスタ 第3トランジスタ 第4トランジスタ



(トランジスタ完成)